# Form 5 - Nível de Lógica Digital. Memória.

Cap. 3 — Nível de Lógica Digital; Cap. 4 — Sistema de Memória (até 4.3.4)

* Indica uma pergunta obrigatória

1. NOME

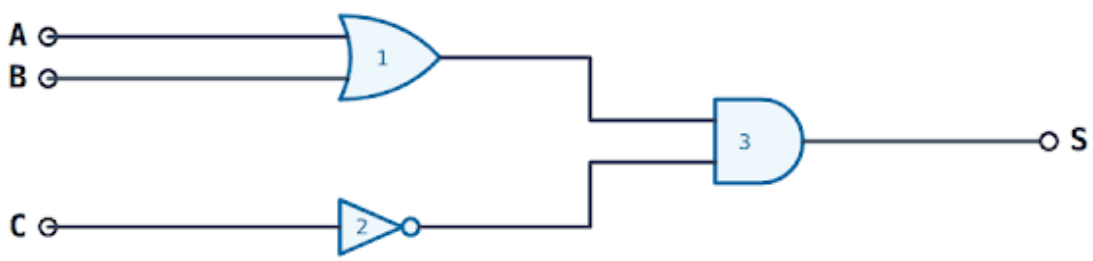
Parte 1 — Nível de Lógica Digital (Cap. 3)

2. 1. No modelo de máquina multinível de seis níveis, o nível de lógica digital é: *

*Marcar apenas uma oval.*

- O nível 0, o mais primitivo e de menor abstração, formado por portas lógicas que operam sinais elétricos, abstraídos como0 e 1
- O nível 1, responsável por interpretar as instruções da ISA por meio de microprogramas
- O nível mais alto do modelo, pois é nele que as operações aritméticas são definidas
- Um nível fora do modelo, equivalente ao nível de dispositivo (transistores)

Figura da questão 2



3. 2. Aplicando o método de descrição algébrica (da entrada para a saída, porta a porta), qual expressão descreve a saída S do circuito da figura? *

*Marcar apenas uma oval.*

- S = (A + B)·$\bar{C}$
- S = A·B + $\bar{C}$
- S = A + B·$\bar{C}$
- S = (A + B) + $\bar{C}$

4. 3. Ainda em relação à figura da questão anterior, podemos identificar as seguintes portas:

*Marcar apenas uma oval.*

- Portas OR (1), NOT (2) e AND (3)
- Portas OR (2), NOT (1) e AND (3)
- Portas OR (3), NOT (1) e AND (2)
- Portas OR (3), NOT (2) e AND (1)

Figura da questão 4

| A | B | C | F |
|---|---|---|---|
| 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 |
| 0 | 1 | 0 | 1 |
| 0 | 1 | 1 | 0 |
| 1 | 0 | 0 | 1 |
| 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 0 |
| 1 | 1 | 1 | 1 |

5. 4. A tabela-verdade da figura corresponde a qual função de três variáveis? *

*Marcar apenas uma oval.*

- F = A.B.C + ~A.~B.~C
- F = A.B.C + ~A.B.C
- F = A.B + ~B.C +~A.B.~C
- F = A·~B + ~B.C + ~A.B.~C

6. 5. Funções logicamente equivalentes são aquelas que possuem o mesmo resultado para todas as combinações das variáveis de entrada. Assinale a função logicamente equivalente à função cuja tabela-verdade está apresentada na questão anterior.

   *Marcar apenas uma oval.*

   - F = A.B.C + ~A.~B.~C + A.B.~C
   - F = ~A.~B.C + ~A.B.~C + A.~B.~C + A.B.C
   - F = ~A.~B.~C + A.B.~C + A.~B.~C + A.B.C
   - F = ~A.~B.~C + ~A.B.~C

7. 6. Utilizando portas AND, OR e NOT, proponha o esquema do circuito digital que implementa a função F
   F(A, B, C) = A·~B + ~B.C + ~A.B.~C

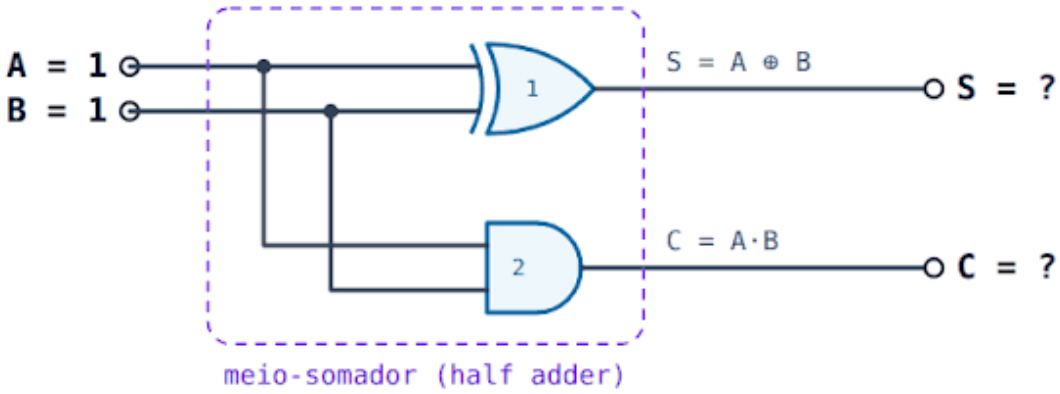
   Arquivos enviados:

8. 7. Considere a função maioria M = A·B + A·C + B·C. Marque TODAS as combinações de entrada (ABC) para as quais M = 1. *

   *Marque todas que se aplicam.*

   - [ ] 001
   - [ ] 011
   - [ ] 100
   - [ ] 101
   - [ ] 110
   - [ ] 111

Figura da questão 8



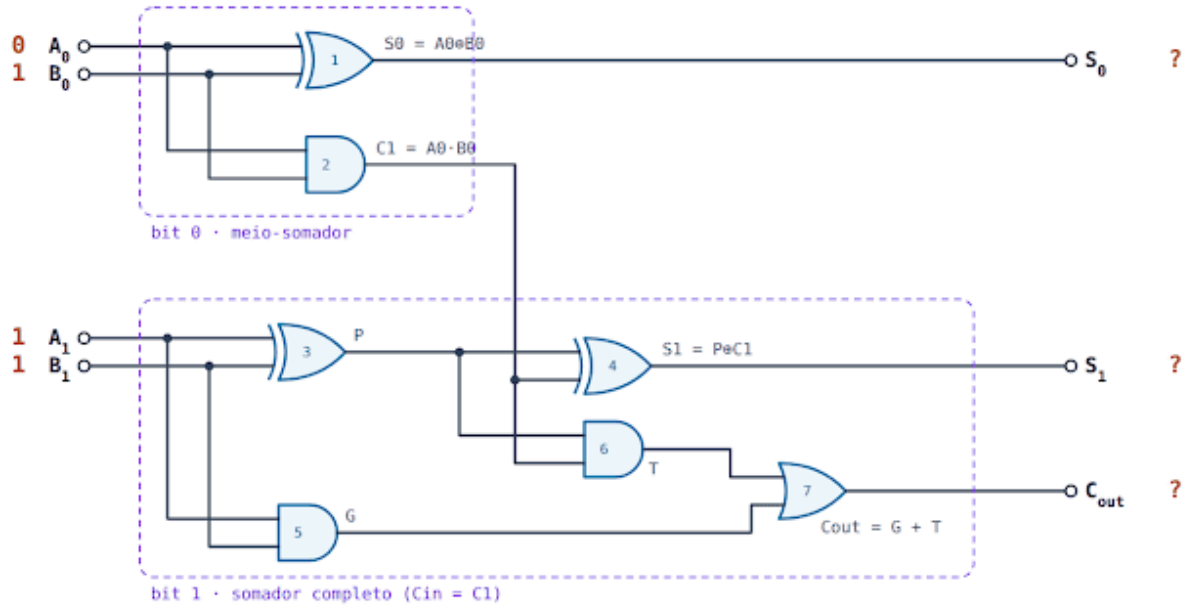

9. 8. A porta lógica 1 é chamada de XOR. Para as entradas A e B, a saída representa S = A ⊕ B = A.~B + ~A.B. No meio-somador da figura, as entradas são A = 1 e B = 1. Quais são os valores das saídas S e C? *

*Marcar apenas uma oval.*

- S = 0 e C = 1
- S = 1 e C = 0
- S = 1 e C = 1
- S = 0 e C = 0

10. 9. Apresente a tabela-verdade da função XOR.

Figura da questão 10




11. 10. No somador de 2 bits da figura, as entradas valem $A_1A_0 = 10$ e $B_1B_0 = 11$. Analisando porta a porta, qual é o resultado Cout $S_1$ $S_0$?

*Marcar apenas uma oval.*

- 101
- 011
- 001
- 110

12. 11. Sobre o somador completo (entradas A, B e Cin; saídas S e Cout), marque TODAS as afirmativas corretas.

*Marque todas que se aplicam.*

- [ ] Considerando o modelo de máquina de níveis, o circuito ilustra um nível mais elevado de abstração próprio do nível de microarquitetura
- [ ] Em um processador, o somador binário é um elemento que estaria funcionalmente localizado na UC
- [ ] É natural presumir que o processador deverá possuir uma instrução de máquina que realize a soma binária na camada 2 da máquina de níveis
- [ ] Seja uma instrução SOMA x,y, em que x e y são números de 2 bits. O circuito implementaria diretamente essa soma do nível de linguagem de montagem.
- [ ] Os circuitos lógicos digitais podem ser de dois tipos: sequenciais e combinacionais. Os componentes lógicas internos do processador podem ser construídos com esses dois tipos de circuitos.

13. 12. Explique como a abstração aumenta quando a resposta do somador de 2 bits é analisada (a) porta a porta, (b) por blocos funcionais, (c) como caixa-preta aritmética e (d) no nível 2 (ISA). Para cada etapa, indique o que o observador enxerga e o que fica oculto.

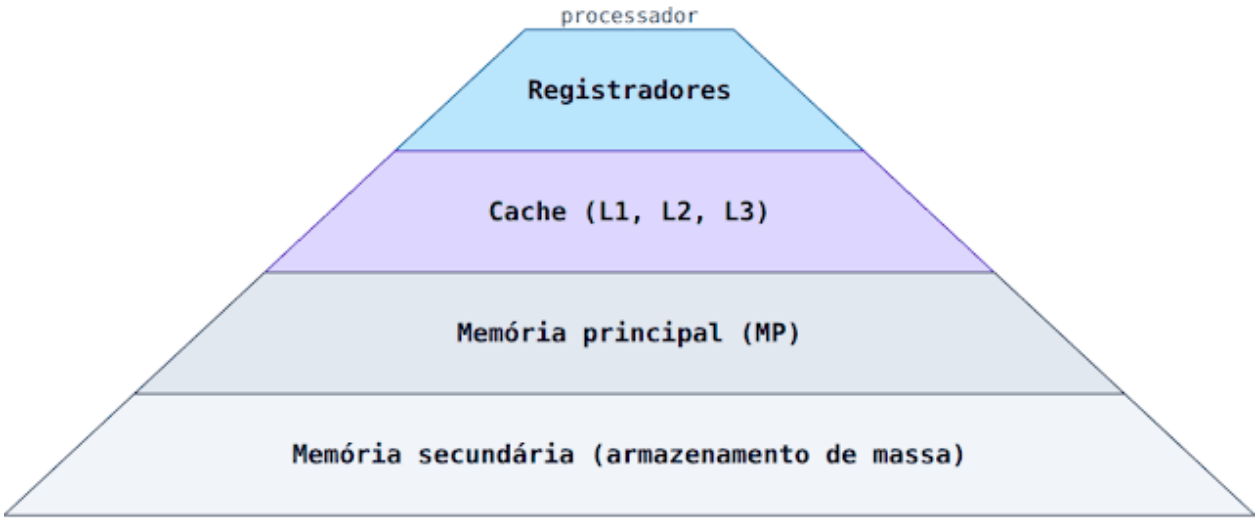
Parte 2 — Sistema de Memória (Cap. 4, até 4.3.4)

14. 13. O chamado gargalo de von Neumann refere-se:

*Marcar apenas uma oval.*

- À limitação imposta à execução pela comunicação entre o processador e os demais componentes do computador, limitando a performance global
- À impossibilidade de o processador executar mais de uma instrução por ciclo de clock
- À falta de registradores suficientes dentro da unidade de controle
- À ausência de memória cache nos processadores modernos

Figura da questão 14

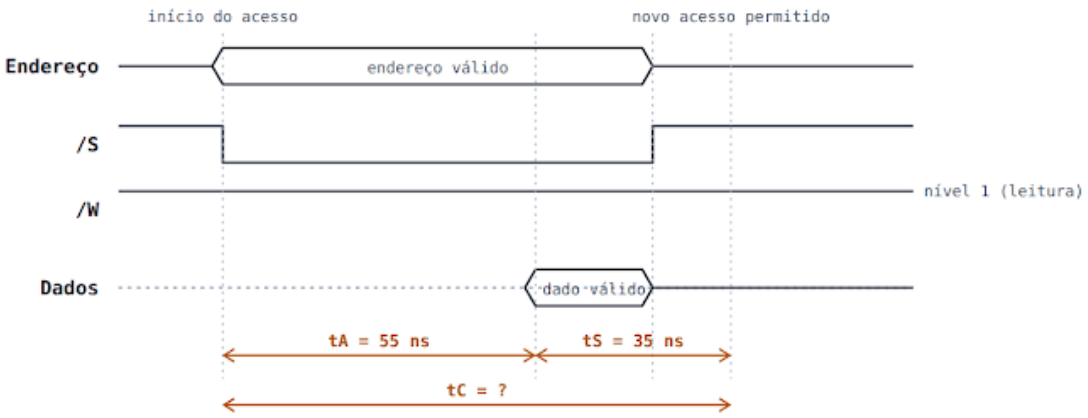



15. 14. Com base na hierarquia do sistema de memória representada na figura, marque TODAS as afirmativas corretas.

*Marque todas que se aplicam.*

- [ ] Quanto mais próximo do processador, em geral, menor a capacidade e menor o tempo de acesso
- [ ] Quanto mais próximo da base, em geral, maior o custo por bit
- [ ] A posição na hierarquia determina, por si só, se a memória é volátil
- [ ] As caches de CPU empregam tipicamente SRAM, e a memória principal, DRAM
- [ ] Por estar fisicamente dentro do processador, a cache L1 é um registrador
- [ ] As camadas estão relacionadas com o papel que cada memória desempenha no sistema, em função de suas características tecnológicas

Figura da questão 15




16. 15. O diagrama representa uma leitura em memória sem sobreposição de acessos. Considerando os tempos indicados, qual é o tempo necessário para que duas operações possam ser realizadas em sequência na memória?

*Marcar apenas uma oval.*

- 90 ns
- 55 ns
- 35 ns
- 20 ns

17. 16. Ainda em relação à figura da questão anterior, qual é o tempo de resposta?

*Marcar apenas uma oval.*

- 90 ns
- 55 ns
- 35 ns
- 20 ns

18. 17. Ainda em relação à figura da questão 15, dado um barramento de dados de 8 bits e um barramento de endereços de 10 bits, qual seria a vazão na comunicação do processador com a memória?

19. 18. Uma memória possui barramento de endereços de 32 bits, barramento de dados de 64 bits e tempo de acesso de 8 ns. Pela estimativa simplificada v ≈ W/tA, a vazão é:

*Marcar apenas uma oval.*

- 8 × $10^9$ bit/s, ou 1 GB/s
- 4 × $10^9$ bit/s, ou 500 MB/s
- 8 GB/s
- 256 Mbit/s

20. 19. Em relação à máquina da questão anterior, seja um programa em linguagem de máquina com 1000 instruções. 40% das instruções do programa realizam 1 acesso à memória para busca do dado; o restante do programa é composto por instruções de **modo imediato**. Considerando que o tempo de acesso à memória é muito maior do que o tempo de processamento interno da instrução, determine o tempo esperado de execução do programa.

21. 20. Em uma cotação hipotética, um SSD de 2 TiB custa R$ 700,00. Qual é o custo por unidade de informação?

Este conteúdo não foi criado nem aprovado pelo Google.

Google Formulários